

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-040391
 (43)Date of publication of application : 06.02.2002

(51)Int.Cl. G02F 1/133
 G02F 1/139
 G09G 3/20
 G09G 3/36

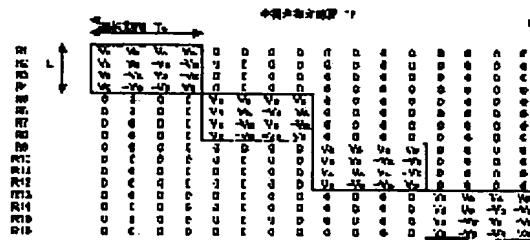
(21)Application number : 2000-230612 (71)Applicant : FUJI XEROX CO LTD
 (22)Date of filing : 31.07.2000 (72)Inventor : HIJI NAOKI
 YAMAMOTO SHIGERU
 HIKIJI TAKETO
 SUZUKI SADAICHI

(54) CHOLESTERIC LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a cholesteric liquid crystal display device capable of high- speed rewrite.

SOLUTION: This cholesteric liquid crystal display device is provided with a cholesteric liquid crystal display element 10 for forming a pixel at the crossing part of a scanning electrode group 23 and a data electrode group 24. Blocks are formed respectively for every L (L is an integer ≥ 2) lines of the scanning electrodes of the scanning electrode group 23, one block is successively selected in one selection period T_s , respectively corresponding encoded driving voltages are simultaneously applied to the L lines of the scanning electrodes of the selected block and also respectively corresponding encoded data voltages are applied to the data electrodes of the data electrode group in synchronism with the driving voltages.



[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-40391

(P2002-40391A)

(43)公開日 平成14年2月6日 (2002.2.6)

(51)Int.Cl.'

G 02 F 1/133

1/139

G 09 G 3/20

識別記号

5 6 0

6 2 1

6 2 2

F I

G 02 F 1/133

G 09 G 3/20

5 6 0 2 H 0 8 8

6 2 1 F 2 H 0 9 3

6 2 2 Q 5 C 0 0 6

6 2 2 D 5 C 0 8 0

3/36

審査請求 未請求 請求項の数18 O.L (全 22 頁) 最終頁に続く

(21)出願番号

特願2000-230612(P2000-230612)

(22)出願日

平成12年7月31日 (2000.7.31)

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72)発明者 氷治 直樹

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(72)発明者 山本 澄

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(74)代理人 100090583

弁理士 田中 清 (外1名)

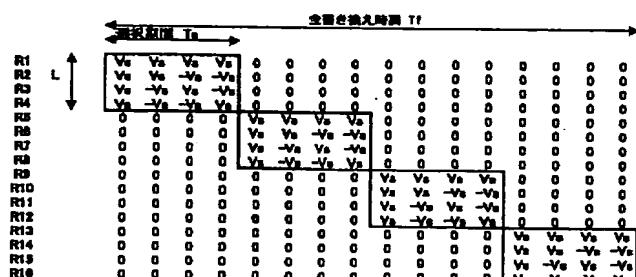
最終頁に続く

(54)【発明の名称】コレステリック液晶表示装置

(57)【要約】

【課題】高速に書き換え可能なコレステリック液晶表示装置を提供する。

【解決手段】コレステリック液晶表示装置は、走査電極群23とデータ電極群24との交差部で画素を形成するコレステリック液晶表示素子10を備えており、走査電極群23の走査電極中のL本 (Lは2以上の整数) の走査電極ごとにそれぞれブロックを形成し、1つの選択期間T_sで1つのブロックを順次選択し、選択されたブロックのL本の走査電極にそれぞれ対応する符号化された駆動電圧を同時に印加するとともに、データ電極群のデータ電極にそれぞれ対応する符号化されたデータ電圧を前記駆動電圧に同期して印加する。



(2)

1

【特許請求の範囲】

【請求項 1】 走査電極群とデータ電極群との交差部で画素を形成するコレステリック液晶表示素子と、前記走査電極群の走査電極を複数の走査電極よりなるブロックとして順次選択し、選択期間における前記ブロックの複数の走査電極にそれぞれ対応する符号化された駆動電圧を同時に印加するとともに、前記データ電極群のデータ電極にそれぞれ対応する符号化されたデータ電圧を前記駆動電圧に同期して印加する駆動回路とを備えたことを特徴とするコレステリック液晶表示装置。

【請求項 2】 前記駆動電圧が、前記選択期間の 50 % 以上の時間、ホメオトロピック配向への遷移電圧以上の電圧波高値を有し、直交関数又は実質的な直交関数を用いて符号化されたものであることを特徴とする請求項 1 記載のコレステリック液晶表示装置。

【請求項 3】 前記直交関数が、+1 と -1 を要素とすることを特徴とする請求項 2 記載のコレステリック液晶表示装置。

【請求項 4】 前記データ電圧が、直交関数又は実質的な直交関数に画素データ値を乗じて符号化されたものであることを特徴とする請求項 1 ～ 3 のいずれかに記載のコレステリック液晶表示装置。

【請求項 5】 前記選択期間が、直交関数の直交条件の成立時間である直交周期を複数含むことを特徴とする請求項 2 ～ 4 のいずれかに記載のコレステリック液晶表示装置。

【請求項 6】 選択期間内の画素に印加される実効電圧に対する液晶の応答時間が、前記直交周期以上選択期間以下であることを特徴とする請求項 5 記載のコレステリック液晶表示装置。

【請求項 7】 非選択期間内の画素に印加される実効電圧が、ブレーナ配向とフォーカルコニック配向との双安定状態を維持可能な閾値電圧より小さいことを特徴とする請求項 1 ～ 6 のいずれかに記載のコレステリック液晶表示装置。

【請求項 8】 前記選択期間に先立って初期配向に遷移させるためのリセット期間を設けたことを特徴とする請求項 1 ～ 7 のいずれかに記載のコレステリック液晶表示装置。

【請求項 9】 前記リセット期間が、前記ブロックの全部に同時に与えられることを特徴とする請求項 8 記載のコレステリック液晶表示装置。

【請求項 10】 前記リセット期間が、前記ブロックごとにずらしたタイミングで順次与えられることを特徴とする請求項 8 記載のコレステリック液晶表示装置。

【請求項 11】 前記選択期間に統一して最終的な配向状態への遷移を補助するための保持期間を設けたことを特徴とする請求項 8 ～ 10 のいずれかに記載のコレステリック液晶表示装置。

【請求項 12】 前記ブロックが、空間的に離散した複

2

数の走査電極よりなることを特徴とする請求項 1 ～ 11 のいずれかに記載のコレステリック液晶表示装置。

【請求項 13】 走査電極群とデータ電極群との交差部で画素を形成するコレステリック液晶表示素子に画像を書き込む画像書き込み装置であって、直交関数を発生する直交関数発生回路と、前記直交関数をレベルシフトして前記走査電極群の複数の走査電極ごとに順次印加する走査電圧を生成する走査電圧合成回路と、前記直交関数に画素データ値を乗じた値をレベルシフトして前記データ電極群のデータ電極に印加するデータ電圧を生成するデータ電圧合成回路とを備えたことを特徴とする画像書き込み装置。

【請求項 14】 前記走査電圧を前記走査電極群の空間的に離散した複数の走査電極ごとに印加可能な走査電極ドライバを備えたことを特徴とする請求項 13 記載の画像書き込み装置。

【請求項 15】 前記走査電圧の印加に先だってリセット波形を前記走査電圧合成回路及びデータ電圧合成回路を介して印加するリセット波形発生回路を備えたことを特徴とする請求項 13 又は 14 記載の画像書き込み装置。

【請求項 16】 前記画素データ値として任意の位相ずれを有する波形を印加することを特徴とする請求項 13 ～ 15 のいずれかに記載の画像書き込み装置。

【請求項 17】 走査電極群とデータ電極群との交差部で画素を形成するコレステリック液晶表示素子に画像を書き込む画像書き込み方法であって、前記走査電極群の走査電極を複数の走査電極よりなるブロックとして順次選択し、前記選択したブロックにおける複数の走査電極にそれぞれ対応する符号化された駆動電圧を同時に印加するとともに、前記データ電極群のデータ電極にそれぞれ対応する符号化されたデータ電圧を前記駆動電圧に同期して印加することを特徴とする画像書き込み方法。

【請求項 18】 前記駆動電圧が、+1 と -1 を要素とする直交関数をレベルシフトして得られたものであることを特徴とする請求項 17 記載の画像書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子機器の表示パネルや画像の記録・表示媒体として用いられるコレステリック液晶表示装置に関するものである。

【0002】

【従来の技術】 コレステリック液晶表示装置は、外光の反射を利用して明るい表示ができること、電圧を切っても表示内容が維持できるメモリー性を有すること、メモリー性を利用して単純マトリクス駆動で大容量表示ができること、駆動にアクティブラーマトリクスを必要としないため樹脂などのフレキシブル基板を利用可能なことなどの特徴を有することから、近年、電子新聞や電子書籍などの電子ペーパー用の表示装置として期待を集めてい

(3)

3

る。

【0003】コレステリック液晶は螺旋状に配向した棒状分子からなり、螺旋ピッチに対応した波長の光を反射する選択反射現象を示す。この現象を利用したものがコレステリック液晶表示素子である。この素子は、図18にその断面構造の一例を示すように、2枚の基板11、12の間にそれぞれ透明電極21、22を介してコレステリック液晶30を挟持したセルよりなり、セルの観察側と反対面に選択反射波長を吸収する光吸収層41を設けたものである。以下、光吸収層41は黒色であるものとして説明する。

【0004】コレステリック液晶の配向状態は、図17(a)～(c)に示すように、それぞれプレーナ(P)配向、フォーカルコニック(F)配向、ホメオトロピック(H)配向の3種類を取りうる。P配向は螺旋軸が基板面にほぼ垂直に配向した状態であり、選択反射波長により呈色する。F配向は螺旋軸が基板面にほぼ平行に配向した状態であり、これは無色であるため光吸収層41の黒色が観測される。H配向は螺旋構造が解けて分子が基板面と垂直に配向した状態であり、これも無色であるため光吸収層41の黒色が観測される。

【0005】透明電極21、22間に電圧を印加した場合、印加電圧がV_T1以下ではP配向とF配向はともに安定に存在し双安定性を示す。これより電圧を上げていくとF配向には変化はないが、P配向は徐々にF配向に遷移し、電圧V_T2以上では完全にF配向に遷移する。さらに高い電圧V_T3以上を印加すると、H配向に遷移しはじめ、電圧V_T4以上では完全にH配向に遷移する。F配向状態から電圧を急激に除去してもF配向が維持されるが、H配向状態から電圧を急激に除去するとP配向に遷移する。

【0006】以上の遷移特性の結果として、図20に示すように時間Tの間だけ電圧を印加して一定時間経過後に反射率を測定すると、図21のような電圧-反射率特性が得られる。すなわち、初期配向がP配向の場合、電圧V_T1以下では高反射率を示し、V_T1以上V_T2以下では徐々に反射率が低下し、V_T2以上V_T3以下では低反射率を示し、V_T3以上V_T4以下では反射率が上昇し、V_T4以上では初期配向と同じ高反射率を示す。一方、初期配向がF配向の場合、電圧V_T3以下では低反射率を示し、V_T3以上V_T4以下では反射率が上昇し、V_T4以上では高反射率を示す。

【0007】上記の電圧-反射率特性は電圧印加時間Tに依存して変化する。初期配向がP配向の場合、図23に示すように、時間Tが短くなるにしたがって電圧-反射率特性全体が高電圧側へシフトするとともに、V_T2以上V_T3以下の電圧範囲での反射率が上昇する。これは時間Tが短くなることでF配向への遷移が不完全になりF配向とP配向が微視的に混合した状態となるためである。また、初期配向がF配向の場合、図22に示すよ

4

うに、時間Tが短くなるにしたがってV_T4が高電圧側へシフトして、V_T3以上V_T4以下の電圧範囲が拡大する。

【0008】上記の電圧-反射率特性を利用して、コレステリック液晶表示装置は、走査電極とデータ電極の交差部を画素とする単純マトリクス電極を用いて画像を書き込むことができる。例として、図19に16×16画素の単純マトリクスパネルの平面構成図を示す。図示のように、本パネルは、R₁～R₁₆からなる走査電極群23とC₁～C₁₆からなるデータ電極群24とを備える。

【0009】コレステリック液晶表示素子の駆動方法として、例えば、特開平11-326871号公報には、FCR(Focal Conic Reset)法と名付けられた書き込み方法が開示されている。この方法では、F配向に遷移させるためのリセット期間とP配向を書き込むための選択期間とからなる駆動電圧によって書き込みを行い、リセット期間では全走査電極に同時にF配向に遷移させるための駆動電圧を印加し、つづいて一走査電極ずつ順次選択電圧を与える。

【0010】例として、走査電極数が16本の場合の、走査電極群23に与える駆動電圧のタイミング図を図9に示す。図のように、リセット期間T_rではV_T4以上の電圧V_rhを与えてH配向に遷移させた後に、一旦電圧をゼロにして、つづいてV_T2以上V_T3以下の電圧V_rfを与え、再び電圧をゼロにすることでF配向を得る。この間データ電極群24の電圧はゼロとする。選択期間T_sでは走査電極に(V_T3+V_T4)/2の電圧V_sを与え、それに同期してデータ電極にデータ電圧として(V_T3-V_T4)/2または(-V_T3+V_T4)/2を与える。これにより画素には走査電圧とデータ電圧との差であるV_T4またはV_T3が印加されて、P配向またはF配向に選択的に遷移させることができる。リセット期間T_rおよび選択期間T_s以外は走査電極への印加電圧はゼロとする。

【0011】ある走査電極を選択中に他の走査電極上の画素にはデータ電圧(V_T3-V_T4)/2または(-V_T3+V_T4)/2が印加される。|(V_T3-V_T4)/2|<V_T1とすることで、すでに書き込んだ画素の反射率を変化させることなく全画素に書き込むことができる。走査線数をNとすると、全書き込み時間T_fは、

【0012】

【数1】T_f=T_r+N×T_s

【0013】とあらわされる。別の書き込み方法として、米国特許5,748,277号明細書には、DDS(Dynamic Drive Scheme)法と名付けられた方法が開示されている。DDS法における駆動電圧波形は、図24に示すように、一連のリセット期間T_r、選択期間T_s、保持期間T_hからなる。リセッ

(4)

5

ト期間 T_r では、電圧 $V_r h$ を印加してH配向に遷移させる。選択期間 T_s では、電圧 V_s を印加して、H配向を維持するかP配向への遷移を開始するか選択する。保持期間 T_h では、電圧 V_h を印加して、H配向を維持するとともにP配向をF配向に遷移させる。 V_s がH配向を維持するように選ばれた場合、保持電圧 V_h を除去後にP配向に遷移して高反射率となる。一方、 V_s がP配向への遷移を開始するように選ばれた場合、保持期間中にF配向に遷移し低反射率となる。 $V_s = 0$ および $V_s = V_h$ のときの電圧 V_h に対する電圧-反射率特性を図25に示す。 $V_s = 0$ の場合、図21における初期配向がP配向の場合と等しくなる。 $V_s = V_h$ の場合、 $V_s = 0$ の場合の電圧-反射率特性を低電圧側へシフトした形状となる。 V_h は V_{T5} 以上 V_{T3} 以下に選ばれる。電圧 V_s に対する電圧-反射率特性は、図26のようになり、 V_{T6} から V_{T7} の範囲で反射率を制御することができる。

【0014】この書き込み方法は単純マトリクスパネルに適用できる。例として、走査電極本数が16本の場合の走査電極に与える駆動電圧のタイミング図を図10に示す。走査電極にはリセット期間 T_r 、選択期間 T_s 、保持期間 T_h に対応した駆動電圧 $V_r h$ 、 V_s 、 V_h を、それぞれ選択期間の長さ T_s だけタイミングをずらして順次走査電極に印加する。選択期間中には走査電極には電圧 $(V_{T6} + V_{T7})/2$ が与え、それに同期してデータ電極には電圧 $(V_{T6} - V_{T7})/2$ または $-(V_{T6} - V_{T7})/2$ を与える。それにより画素には走査電圧とデータ電圧との差である V_{T6} または V_{T7} が印加されてP配向またはF配向に選択的に遷移させることができる。 $| (V_{T6} - V_{T7})/2 | < V_{T1}$ とすることで、すでに書き込んだ画素の反射率を変化させることなく全画素に書き込むことができる。全書き込み時間 T_f は、

【0015】

【数2】 $T_f = T_r + N \times T_s + T_h$

【0016】で与えられる。FCR法、DDS法のいずれも、コレステリック液晶のメモリ一性を利用して、すでに書き込んだ画素の反射率を変化させることなく次の走査電極上の画素に書き込むことができる。このため、走査電極の本数に制限がなく大容量表示が可能となる。

【0017】

【発明が解決しようとする課題】FCR法、DDS法のいずれも走査電極の本数が増大するにしたがって全書き込み時間 T_f が増加する。この場合、(数1)及び(数2)の第2項の寄与、すなわち選択期間の項 $N \times T_s$ が支配的となる。選択期間 T_s の長さは、液晶の物性定数、セルパラメータ、印加電圧等に依存するため一概には言えないが、通常、FCR法で1~10ms/line、DDS法で0.3~数ms/lineである。たとえば、走査線数が1000本の場合、書き換え時間はF

(4)

6

CR法で1~10秒、DDS法で0.3~数秒となる。低温では液晶の粘度上昇に起因してさらに数倍の時間がかかる。用途によってはこの書き換え時間では必ずしも十分ではなく、さらなる書き換え時間の短縮が望まれていた。

【0018】FCR法の場合、選択期間 T_s の長さは液晶の粘度、配向弹性定数、誘電異方性等に依存するが、これら物性定数による改善には限度があった。また、図22に示すように、駆動電圧を上げることで選択時間の短縮が可能であるが、駆動電圧の上昇は駆動回路のコスト高や、電極間の短絡による歩留まり低下、消費電力の増大などの問題を生ずる。また、駆動電圧を上げて選択時間を短くすると、データ電極への印加電圧 $| (V_{T3} - V_{T4})/2 |$ が V_{T1} を超えてクロストークを生ずるという問題も発生する。DDS法の場合、選択期間の長さは液晶の粘度、配向弹性定数等の物性定数だけで決まるが、これらによる選択時間の短縮にも限度があつた。

【0019】従って本発明の目的は、高速に書き換え可能なコレステリック液晶表示装置を提供することにある。

【0020】

【課題を解決するための手段】上記目的は、走査電極群とデータ電極群との交差部で画素を形成するコレステリック液晶表示素子と、前記走査電極群の走査電極を複数の走査電極よりなるブロックとして順次選択し、選択期間における前記ブロックの複数の走査電極にそれぞれ対応する符号化された駆動電圧を同時に印加するとともに、前記データ電極群のデータ電極にそれぞれ対応する符号化されたデータ電圧を前記駆動電圧に同期して印加する駆動回路とを備えたコレステリック液晶表示装置により、達成される。

【0021】ここで、前記駆動電圧は、前記選択期間の50%以上の時間、ホメオトロピック配向への遷移電圧以上の電圧波高値を有し、直交関数又は実質的な直交関数を用いて符号化されたものを使用することができる。直交関数としては、例えば、+1と-1を要素とするものを用いることができるが、これに限定されるものではない。また、前記データ電圧は、直交関数又は実質的な直交関数に画素データ値を乗じて符号化されたものとすることができる。

【0022】前記選択期間は、直交関数の直交条件の成立時間である直交周期を複数含むようにすることができる。選択期間内の画素に印加される実効電圧に対する液晶の応答時間は、前記直交周期以上選択期間以下とされる。また、非選択期間内の画素に印加される実効電圧は、プレーナ配向とフォーカルコニック配向との双安定状態を維持可能な閾値電圧より小さくされる。

【0023】また、前記選択期間に先立って初期配向に遷移させるためのリセット期間を設けることができる。

(5)

7

このリセット期間は、前記ブロックの全部に同時に与えられ、又は前記ブロックごとにずらしたタイミングで順次与えられる。また、前記選択期間に統一して最終的な配向状態への遷移を補助するための保持期間を設けることができる。前記ブロックは、隣接した複数の走査電極ではなく、空間的に離散した複数の走査電極より構成することができる。

【0024】本発明に係る画像書き込み装置は、走査電極群とデータ電極群との交差部で画素を形成するコレステリック液晶表示素子に画像を書き込む装置であって、直交関数を発生する直交関数発生回路と、前記直交関数をレベルシフトして前記走査電極群の複数の走査電極ごとに順次印加する走査電圧を生成する走査電圧合成回路と、前記直交関数に画素データ値を乗じた値をレベルシフトして前記データ電極群のデータ電極に印加するデータ電圧を生成するデータ電圧合成回路とを備える。本装置には、前記走査電圧を前記走査電極群の空間的に離散した複数の走査電極ごとに印加可能な走査電極ドライバを備えることができる。また、前記走査電圧の印加に先だってリセット波形を前記走査電圧合成回路及びデータ電圧合成回路を介して印加するリセット波形発生回路を備えることができる。さらに、前記画素データ値として任意の位相ずれを有する波形を印加することにより、階調表示が可能となる。

【0025】本発明に係る画像書き込み方法は、走査電極群とデータ電極群との交差部で画素を形成するコレステリック液晶表示素子に画像を書き込む方法であって、前記走査電極群の走査電極を複数の走査電極よりなるブロックとして順次選択し、前記選択したブロックにおける複数の走査電極にそれぞれ対応する符号化された駆動電圧を同時に印加するとともに、前記データ電極群のデータ電極にそれぞれ対応する符号化されたデータ電圧を前記駆動電圧に同期して印加するものである。ここで、前記駆動電圧は、+1と-1を要素とする直交関数をレベルシフトして得ることができる。

【0026】このように構成することにより、本発明では、L本（Lは2以上の整数）の走査電極に同時に画像を書き込むことができ、これにより選択期間の長さを実質的に最大で1/Lに短縮することができる。したがって、全体として書き換え時間が短縮され、高速に書き換え可能なコレステリック液晶表示装置を得ることができる。

【0027】

【発明の実施の形態】以下、本発明に係るコレステリック液晶表示装置の実施形態を走査電極数が16本の場合を例にとって説明する。

【0028】<実施形態1>図1は、本発明に係るコレステリック液晶表示装置の一実施形態における各走査電極に与える電圧のタイミング図である。本実施形態では、走査電極R1～R16を、L=4本の走査電極を1

8

ブロックとする4つのブロックに分割する。各ブロックには順次選択期間Tsにおいて駆動電圧が印加される。1つの選択期間Tsで1つのブロックを選択し、選択されたブロックでは4本の走査電極に同時に駆動電圧Vs（又は-Vs）を印加する。選択されていないブロックの走査電極には電圧ゼロを与える。従って、この場合、全書き換え時間Tfは、Tf=4×選択期間Tsとなる。

【0029】ブロック内の走査電極間のクロストークを防止するために、+1および-1を要素とする直交関数Ii(t)よりなる符号化された（時系列パターンを有する）駆動電圧を印加する。ここで、iは、1ブロックを形成するL本の走査電極中i番目の走査電極を意味する。Ii(t)は直交関数なので下記の関係が成立する。

【0030】

【数3】

$$\int I_i(t) \cdot I_j(t) dt = 0 \quad (i \neq j)$$

【0031】L=2、4、8、16の直交関数を図11(a)～(d)に例示する。図11はアダマール行列であり、行方向が時間で列方向が走査電極を表す。また、図11はL行L列の正方行列であるが、(数3)の直交関係が成立すれば正方行列でなくても構わない。図11の行列は、任意の2列の入れ替え、あるいは任意の行の極性反転に対して上記直交関係が維持されるので、Ii(t)としてこのような操作を行った後の関数を用いてもよい。また、Iとして2のべき乗を例示したが、たとえば、L=8の直交関数の中から任意の6つ、または7つの直交関数を選ぶことによって、L=6やL=7といった2のべき乗以外の直交関数を作ることもできる。時間軸方向のL個の要素は、時間Ts/Lを単位時間として順次電圧印加して時間Ts内にすべての要素を印加する。互いに極性反転したものであれば正弦波、三角波、のこぎり波など任意の波形を対応させることができる。ただし、実効電圧値を最大とするために、ここに例示した波形が好ましい。

【0032】直交関数の要素+1および-1に対応する実際の印加波形としては、図12(a)のような極性反転した直流矩形波や、図12(b)に示すような極性反転した対称矩形波を用いることができる。あるいは極性反転した対称矩形波よりなるバースト波形を用いてもよい。コレステリック液晶30への長時間の直流電圧の印加は閾値電圧の変動や液晶の劣化を招くため、選択電圧波形の選択時間内での時間平均値はゼロとすることが望ましい。したがって、図12(a)の直流矩形波を用いる場合には、 $\int (t=0 \sim T_s) I_i(t) dt = 0$ となる直交関数Ii(t)の使用が好ましい。また、図12(b)の対称矩形波を用いる場合には、この条件は自動的に満たされるので、 $\int (t=0 \sim T_s) I_i(t) dt \neq 0$ となる直交関数を用いてもよい。

(6)

9

【0033】同時選択されたL本の走査電極のうち、i番目の走査電極に印加する駆動電圧 $R_i(t)$ を、直交関数 $I_i(t)$ に V_s を乗じた値として与える。一方、同期して与えるデータ電圧 $C(t)$ は、直交関数 $I_i(t)$ に画素データ値 U_i を乗じた値の $i=1 \sim L$ の総和として与える。

【0034】

$$【数4】 R_i(t) = V_s \cdot I_i(t)$$

$$C(t) = \sum_{i=1}^L U_i \cdot I_i(t)$$

【0035】i番目の走査電極上の画素には選択期間中に $\{R_i(t) - C(t)\}$ の電圧が加わる。したがって選択期間中に画素に加わる実効電圧 V_i は、

$$V_i = \{1/T_s \cdot \int_{t_1}^{t_2} (R_i(t) - C(t))^2 dt\}^{1/2}$$

となる。積分範囲は $[0, T_s]$ である。ここで、

【0036】

$$【数5】 \int (R_i(t) - C(t))^2 dt$$

$$= \int R_i(t)^2 dt + \int C(t)^2 dt - 2 \int R_i(t) \cdot C(t) dt$$

$$\text{第1項} = V_s^2 \int I_i(t)^2 dt = V_s^2 \cdot T_s$$

$$\text{第2項} = \int \{\sum U_i \cdot I_i(t)\}^2 dt = T_s \cdot \sum U_i^2$$

$$\text{第3項} = -2V_s \cdot \int I_i(t) \cdot \sum U_j \cdot I_j(t) dt$$

$$= -2V_s \cdot U_i \cdot T_s$$

【0037】である。したがって、

$$V_i = \{V_s^2 + \sum U_i^2 - 2V_s \cdot U_i\}^{1/2}$$

で与えられる。 U_i は絶対値が表示画像情報にかかわらず一定値 V_d となるように選ぶ。すなわち、 U_i として $+V_d$ または $-V_d$ を与えるとすると、第2項は $L \cdot V_d^2$ となる。したがって選択期間中に V_s と V_d を一定に維持すれば、 V_i は U_i を与えることで一意的に決定することができ、原理的に同時選択する走査電極間のクロストークを除去できる。 V_i の最大値を V_{on} 、最小値を V_{off} とすると、

$$V_{on} = \{V_s^2 + L \cdot V_d^2 + 2V_s \cdot V_d\}^{1/2}$$

$$(U_i = -V_d)$$

$$V_{off} = \{V_s^2 + L \cdot V_d^2 - 2V_s \cdot V_d\}^{1/2}$$

$$(U_i = V_d)$$

となる。これは近似的に、

$$V_{on} = \{(V_s + \sqrt{L \cdot V_d})^2 + 2(1 - \sqrt{L}) \cdot V_s \cdot V_d\}^{1/2} \sim (V_s + \sqrt{L \cdot V_d}) + (1 - \sqrt{L}) \cdot V_s \cdot V_d / (V_s + \sqrt{L \cdot V_d})$$

$$V_{off} = \{(V_s + \sqrt{L \cdot V_d})^2 - 2(1 + \sqrt{L}) \cdot V_s \cdot V_d\}^{1/2} \sim (V_s + \sqrt{L \cdot V_d}) - (1 + \sqrt{L}) \cdot V_s \cdot V_d / (V_s + \sqrt{L \cdot V_d})$$

と書ける。したがって、 U_i として $+V_d$ または $-V_d$ を与えることで、

【0038】

$$【数6】 V_{on} - V_{off} = 2V_s \cdot V_d / (V_s + \sqrt{L \cdot V_d})$$

10

 $L \cdot V_d$)

【0039】の実効電圧差を画素に与えることができる。 $V_s > \sqrt{L \cdot V_d}$ と近似できる場合には、 $(V_{on} - V_{off}) \sim 2V_d$ で与えられる。ある閾電圧 V_{TL} から V_{TH} の間で反射率変化が生ずる場合、 $V_{off} < V_{TL}$ 、 $V_{TH} < V_{on}$ となるように設定することで画像の書き込みが可能となる。 $(V_{on} - V_{off})$ は L の増加に伴い小さくなるので、 $(V_{on} - V_{off}) > (V_{TH} - V_{TL})$ となるように設定することで L の上限が制約される。以上、ある1つのデータ電極上の画素について説明したが、他のデータ電極上の画素についても同様である。

【0040】図14は、1ブロックの選択期間中の走査電極およびデータ電極に印加する印加波形の一例を示す図である。本例では、あるデータ電極と $i=1, 2, 3, 4$ 番目の走査電極との交差部よりなる画素に暗、明、暗、明の画像をそれぞれ書き込む場合の走査電極およびデータ電極に印加する波形のタイミング図を示している。ただし、画像情報に対応して $U_1 = V_d$ 、 $U_2 = -V_d$ 、 $U_3 = V_d$ 、 $U_4 = -V_d$ と設定するものとする。直交関数としては、 $L=4$ として図11(b)の行列を用い、直交関数要素 $+1$ と -1 には図12(b)に示した対称矩形波を対応させた。(数4)にしたがって $C(t)$ として $0 \rightarrow 4V_d \rightarrow 0 \rightarrow 0$ と時間変化する波形が得られる。これをデータ電極に印加することで上記の表示パターンを得ることができる。

【0041】直交関数が $+1$ と -1 を要素とすることは、選択期間中に走査電極に印加される駆動電圧の実効値を最大にできること、回路を簡略化できることから好ましいが、直交関係が成立していればこれ以外の要素を含んでいても、複数の走査線上の画素に同時に書き込むことは可能である。しかし、 $+1$ と -1 以外を要素に含むと実効電圧が低下するので、これを補償するために選択期間を長くする必要が生ずる。このようなデメリットを生じさせないためには、選択期間中に走査電極に印加される駆動電圧は、少なくとも選択期間の50%以上の時間、十分長い時間電圧印加したときのホメオトロピック配向への遷移電圧以上の電圧波高値を有する必要がある。

【0042】直交関係に關しても、

$$\int_{t=0}^{T_s} I_i(t) \cdot I_j(t) dt < 0, \quad (i \neq j)$$

であれば、実質的に直交関数を満たすと言える。同時選択される i 番目と j 番目の走査電極に出力される駆動電圧を $V_{si}(t)$ 、 $V_{sj}(t)$ として、より一般的に書くと、

$$\int_{t=0}^{T_s} V_{si}(t) \cdot V_{sj}(t) dt / \int \int_{t=0}^{T_s} V_{si}(t)^2 dt < 0, \quad (i \neq j)$$

であればよい。

(7)

II

【0043】さて、直交関数よりなる駆動電圧波形を複数の走査線を同時に印加する駆動方法（以下、複数走査線同時駆動と呼ぶ）は、たとえば特開平7-4968号公報に開示されているように、STN LCDでは公知である。しかるに、STN LCDと本発明とでは下記の2点で異なる。

【0044】1つは選択期間の長さと応答速度との関係である。STN LCDでは選択期間内の配向変化はフレーム応答によるコントラスト低下を招くため、液晶の応答速度が選択時間より大きくなるように選ぶのに対して、本発明の場合は、1回の選択期間内に最終的な配向状態を得るために必要な配向変化を完了するように、選択期間の長さおよび印加電圧を液晶の応答速度が選択時間と同等かそれより小さくなるように選ぶ。ここで「必要な配向変化を完了する」とは、選択期間内に反射率の変化が完了するという意味ではない。たとえば、F配向している画素をP配向に書き換える場合、選択期間内にF配向からH配向への変化が完了すれば、選択期間終了後にH配向からのP配向へ自発的に遷移するため、所望とするP配向が得られる。このような前駆的な配向変化を意味する。また、後述するリセット期間を設ける場合のように、V_{on}またはV_{off}のいずれかが電圧印加された場合のみに実質的に配向変化を生ずる場合、応答時間としては配向変化が生ずる方のみを考慮すればよい。

【0045】ただし、液晶の応答時間は前記直交関係が成立する周期（以下、直交周期と呼ぶ）より大きい必要がある。たとえば、直交周期が4単位時間の場合、前半の2単位時間でF配向からH配向へ遷移が完了するほど応答速度が小さいと、ヒステリシスの影響でその後の2単位時間での印加電圧の高低に関わらずH配向が維持されるため、選択期間内の実効電圧値に対して一意的に配向状態が決定できなくなり、同時選択する走査電極間のクロストークが発生する。他の配向間の応答に関しても同様である。したがって、

【0046】

【数7】直交周期≤応答時間≤選択期間

【0047】となるように設定することが好ましい。図1の場合、直交周期=選択時間であるので、応答時間=直交周期=選択時間に設定する必要がある。この設定マージンを広げる手段として、選択時間内に複数の直交周期を含むように直交関数を定めるとよい。例として、選択時間T_s内に直交周期T_xを2回含む場合のタイミング図を図2に示す。

【0048】一般に液晶の応答時間は印加電圧の関数である。（数7）の応答時間は選択期間中の実効電圧に対する応答時間であるが、本発明では選択期間中に電圧波高値が時間変化するので、それに対しても応答してしまわないように注意が必要である。たとえば、画素への印加電圧は、波高値が最大で（V_s+L·V_d）、最小で

12

（V_s-L·V_d）であり、時間T_s/Lの期間印加される。したがって、これらの印加電圧に対する応答時間がT_s/Lより大きくなるようにL、V_d、V_sを設定しなければならない。この観点からV_sがL·V_dより十分に大きくなるように設定する方が好ましい。

【0049】STNでは1フレーム時間内の平均実効電圧値を与えることで反射率を制御する。それに対して、本発明では選択期間内の実効電圧値を与えることで反射率を制御する。そもそもコレステリック液晶はメモリー性を有しているため、STN LCDのように電圧実効値に対して一意的に反射率を決定できないが、上記のように、直交周期と応答時間と選択時間との関係を規定し、実効電圧値をとるべき期間を選択期間に限定することにより、実効電圧と反射率との対応付けを可能としたものであり、この点が本発明の特異な点である。

【0050】本発明がSTN LCDにおける複数走査線同時駆動と異なる2点目は、コレステリック液晶のメモリー性を利用するため、ある画素に書き込む際にすでに書き込んだ画素を書き換えないように電圧設定する点である。非選択ブロック上の画素には実効電圧

$\{ \int C(t) 2dt/T_s \} 1/2 = \sqrt{L \cdot V_d}$ が印加される。この電圧が最も長く印加されるのは第1ブロック上の画素であり、印加時間はT_f-T_sである。したがって、すでに書き込んだ画素の反射率を変化させないためには、

$$\sqrt{L \cdot V_d} < V_{T1} (T = T_f - T_s)$$

となるようにV_dおよびLを設定する必要がある。ここでV_{T1} (T = T_f - T_s) は電圧印加時間T = T_f - T_sにおけるV_{T1}である。

【0051】このような電圧を走査電極群23およびデータ電極群24に印加するための駆動回路（画像書き込み装置）の一例を図15に示す。同図において、フレームメモリ1は1画面分の表示データを格納し、直交関数発生回路5は直交関数I_i(t)を発生する。U_iは+V_dまたは-V_dをとるので、(U_i/V_d)は+1または-1となる。(U_i/V_d)·I_i(t)は(U_i/V_d) = -1かつI_i(t) = -1か、または(U_i/V_d) = 1かつI_i(t) = 1の場合に1となり、(U_i/V_d) = -1かつI_i(t) = 1か、または(U_i/V_d) = 1かつI_i(t) = -1の場合に-1となる。これは(U_i/V_d)とI_i(t)の符号が一致する場合に1、一致しない場合に-1を与える排他論理と演算を行なうことを意味する。

【0052】排他論理と演算回路2はフレームメモリ1から1ブロック分の表示データを取得し、直交関数との排他論理と演算する。計数回路3では、上記排他論理と演算の結果得られた(U_i/V_d)とI_i(t)の符号の一致数と不一致数との差からC(t)/V_d = Σ(U_i/V_d)·I_i(t)を算出する。これがデータ電圧合成回路6でV_d倍にレベルシフトされ、データ電

(8)

13

極ドライバ7を介してコレステリック液晶表示素子10のデータ電極群24に印加される。一方、直交関数発生回路5で発生した直交関数は、走査電圧合成回路8でVs倍にレベルシフトされ、走査電極ドライバ9を介してコレステリック液晶表示素子10の走査電極群23に印加される。後述する実施形態で述べるように、選択期間に先だってリセット期間を設ける場合には、リセット波形発生回路4で発生したリセット波形を、データ電圧合成回路6および走査電圧合成回路8を介してコレステリック液晶表示素子10の走査電極群23およびデータ電極群24に印加する。

【0053】本発明に用いられるコレステリック液晶表示素子10は、走査電極群23とデータ電極群24をそれぞれ設けた2枚の基板11、12の間にコレステリック液晶30を挟持してなり、観察側と反対面に選択波長を吸収する光吸収層41を設けたものである。基板11、12としてはガラスや、ポリカーボネート、ポリエチレンテレフタート、ポリエーテルスルфонなどの樹脂など透光性誘電体が使用できる。走査電極群23とデータ電極群24としては、ITO (Indium Tin Oxide)、SnO₂、ZnO:Al等の導電性酸化物や、ポリピロールやポリアニリン等の導電性樹脂など透光性導電部材を用いる。これらは蒸着法、スパッタリング法、イオンプレーティング法、ソルゲル法、コーティング法、印刷法、電着法などで成膜できる。透光性導電部材は印刷法などで成膜時にパターニングするが、成膜後、リソグラフィ法などを用いて所望の形状に加工して用いる。

【0054】コレステリック液晶30は、シアノビフェニル系、フェニルシクロヘキシル系、フェニルベンゾエート系、シクロヘキシルベンゾエート系、アゾメチソ系、アゾベンゼン系、ピリミジン系、ジオキサン系、シクロヘキシルシクロヘキサン系、トラン系などのネマチック液晶組成物に、コレステロール誘導体や2-メチルブチル基などの光学活性基を有する化合物からなるカイラル化合物を添加したものや液晶性カイラル化合物を利用できる。コレステリック液晶30には色素、微粒子などの添加剤を加えてもよい。コレステリック液晶30は高分子マトリクス中に分散したものや、高分子ゲル化したものや、カプセル化したものでもよい。また、高分子液晶、中分子液晶、低分子液晶のいずれでもよく、またこれらの混合物でもよい。コレステリック液晶30の選択反射波長は400～800nmの間の可視波長域にあるものだけでなく、近赤外波長域にある散乱-透過型のコレステリック液晶表示装置に対しても本発明は適用できる。セルギャップは通常2～20μmの範囲とする。セルギャップdとコレステリック液晶30の螺旋ピッチPとの比は、d/P=2～30とする。

【0055】コレステリック液晶30と走査電極群23及びデータ電極群24との間にはポリイミドなどの樹

14

脂、SiOなどの無機蒸着膜、シラン系やアンモニア系表面改質剤を配向膜として設けてもよい。光吸収層41は選択反射波長帯を吸収するものを用いるが、その色調は表示効果に鑑みて適宜選択できる。材料としては染料や顔料を含む塗料や、金属や金属酸化膜などの蒸着膜を用いることができる。選択反射波長を近赤外波長域とする場合には、光吸収層41として黒色材料を用いるか、省略するか、光吸収層の代わりに光反射層を設けてもよい。

10 【0056】また、本発明に用いられるコレステリック液晶表示素子は、各画素にカラーフィルタを設けることができ、また選択反射波長が異なる複数のコレステリック液晶表示素子を積層してなるカラーコレステリック液晶表示素子であってもよい。なお、V_{on}=V_{T4}、V_{off}=V_{T3}となるようにVsとVdを設定することで、メモリーされている配向状態にかかわりなく、P配向またはF配向に選択的に遷移させることができる。本実施形態では、F配向からH配向への応答時間、およびP配向からF配向へ応答時間より直交周期を小さく、選択期間の長さを大きくする必要がある。この応答時間は液晶の弾性定数、粘度、印加電圧によって異なるが、通常数十msである。

【0057】<実施形態2>図3は、本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。本実施形態では、i番目、(i+4)番目、(i+8)番目、(i+12)番目の走査電極、すなわち、i番目、i+L番目、i+2L番目、…i+nL番目(iはL未満の整数、nは整数)の走査電極を1つのブロックとする。

30 このように走査電極ブロックは空間的に離散した走査電極を選んでもよい。

【0058】本実施形態によれば、駆動回路として市販のSTN用コモンドライバICが利用できる。図16は、本実施形態に係る走査回路のブロック図を示すものである。図のように、一般にSTN用コモンドライバIC9a、9b、9c、9dはシフトレジスタとレベルシフタとからなり、レベルシフタは出力の電圧極性を反転するための極性反転端子を備える。本実施形態では、各ブロックに1つのSTN用コモンドライバIC9a、9b、9c、9dを接続し、走査電圧合成回路8から各ドライバICのシフトレジスタのデータ入力に1ビットの選択信号を入力し、全ブロック並列に選択時間T_sごとに1ビットずつシフトさせる。各ドライバICの出力極性は直交関数発生回路5の出力にしたがって時間T_s/Lごとに変化させる。このような手順で図3に示したタイミング図を実現できる。本実施形態によれば、市販のSTN用コモンドライバICを利用できるので、低コストにコレステリック液晶表示装置を構成できる。

【0059】<実施形態3>図4は、本発明に係るコレステリック液晶表示装置の他の実施形態における各走査

(9)

15

電極に与える電圧のタイミング図である。本実施形態では選択期間に先立ってP配向に遷移するためのリセット期間を設ける。リセット期間 T_r は、 V_{T4} 以上の電圧 V_{rh} を印加する期間と電圧ゼロを印加する期間とからなり、これによって一旦H配向へ遷移してからP配向へ遷移する。リセット期間 T_r においては、全走査電極 $R_1 \sim R_{16}$ に同時に駆動電圧を印加する一方、データ電極への印加電圧はゼロにする。選択期間 T_s では、 $V_{on} = V_{T2}$ 、 $V_{off} = V_{T1}$ と設定して1ブロックごとに順次F配向を書き込む。

【0060】本実施形態ではP配向からF配向への応答時間より直交周期を小さく、選択期間の長さを大きくする必要がある。この応答時間は液晶の弾性定数、粘度、印加電圧によって異なるが、通常数～数十msである。H配向からP配向への遷移はトランジエント・プレーナ(TP)配向と呼ばれる長ピッチのプレーナ配向状態を経由して進行することが知られているが、前記電圧ゼロとする期間はH配向からTP配向へ遷移するまでの時間をとればよく、通常1ms程度以上とすれば十分である。H配向からP配向への遷移完了には通常数百msかかるが、その完了まで待つ必要はない。この期間を設けない場合、第1ブロックはH配向から直接F配向へ遷移するのに対して、第2ブロック以降はH配向からTP配向を経由した後にF配向へ遷移する。図25に示すように、この2つの場合は電圧一反射率特性が異なるので、第1ブロックと他のブロック間との間で表示むらが発生する。上記のように、リセット期間の最後に電圧ゼロとする期間を設けることによってこの表示むらを防止できる。

【0061】図21に示すように、 V_{T3} 以上 V_{T4} 以下の電圧では初期配向がP配向かF配向かに依存して反射率が若干異なる。このため実施形態1のようにリセット期間を設けない書き込み方法の場合、以前に書き込んだ画像が残像として残ることがある。本実施形態によれば、一旦全画素をP配向にリセットするため、確実に残像がない画像を得ることができる。

【0062】<実施形態4>図5は、本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。本実施形態では、選択期間 T_s に先立ってF配向に遷移させるためのリセット期間 T_r を設ける。このリセット期間 T_r はさらに下記の期間からなる。

1) V_{T4} 以上の電圧 V_{rh} を与えて全画素をH配向とする期間

2) 電圧をゼロにしてP配向への遷移を開始させる期間

3) V_{T2} 以上 V_{T3} 以下の電圧 V_{rf} を与えてF配向に遷移させる期間

4) 電圧をゼロにする期間

このリセット期間 T_r におけるデータ電極への印加電圧はゼロにする。F配向へリセットした後、 $V_{on} = V_{T4}$ 、 $V_{off} = V_{T3}$ と設定して1ブロックごとに順

(9)

16

次P配向を書き込む。

【0063】本実施形態では、F配向からH配向への応答時間より直交周期を小さく、選択期間の長さを大きくする必要がある。この応答時間は液晶の弾性定数、粘度、印加電圧によって異なるが、通常数～数十msである。図22及び図23に示すように、F配向の反射率は電圧印加時間が比較的長くなければ十分に低反射率にできないが、P配向の反射率は電圧印加時間が短くても印加電圧が十分に高ければ高反射率を得られる。それゆえ、実施形態3のようにP配向にリセットした後F配向を順次書き込むより、本実施形態のようにF配向にリセットした後P配向を順次書き込むほうが、選択期間 T_s の長さを短く、かつコントラストを高くすることができる。

【0064】<実施形態5>図6は、本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。本実施形態は、実施形態4と同様に、選択期間 T_s に先立ってF配向へ遷移させるためのリセット期間 T_r を設けるが、一連の駆動電圧を選択期間 T_s だけずらしたタイミングでブロックごとに順次印加することが実施形態4と異なる点である。実施形態4では、一旦全画面が消去された後に画面端から徐々に新しい画像が現れるが、本実施形態では、前の画像を残したまま、画面端から新しい画像が現れる。このように異なる表示効果を与えることができる。

【0065】<実施形態6>図7は、本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。本実施形態では、選択期間 T_s に先立ってH配向へ遷移させるためのリセット期間 T_r を設け、一連の駆動電圧を選択期間 T_s だけずらしたタイミングでブロックごとに順次印加する。リセット期間 T_r では、 V_{T4} 以上の電圧 V_{rh} を与えて全画素をH配向へ遷移させる。これに連続して選択期間 T_s では、 $V_{on} = V_{T8}$ 、 $V_{off} = V_{T1}$ として駆動電圧を印加する。

【0066】本実施形態ではH配向からF配向への応答時間より直交周期を小さく、選択期間の長さを大きくする必要がある。この応答時間は液晶の弾性定数、粘度、印加電圧によって異なるが、通常数～数十msである。図25に電圧一反射率特性を示すように、H配向へリセット後にF配向を書き込む方が、実施形態4のようにP配向へリセット後にF配向を書き込む場合より電圧一反射率特性の急峻性が高く、 $(V_{on} - V_{off})$ は小さくてよい。それゆえ本実施形態によれば、同時選択できる走査電極本数を大きくとることができ、書き込み時間を短縮することができる。

【0067】<実施形態7>図8は、本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。本実施形態で

(10)

17

は、選択期間 T_s に先立って H 配向に遷移させるためのリセット期間 T_r を設けるとともに、選択期間 T_s について最終的な配向状態への遷移を補助するための保持期間 T_h を設け、ブロックごとに一連のリセット期間 T_r 、選択期間 T_s 、保持期間 T_h からなる駆動電圧を印加するとともに、これら一連の駆動電圧を該選択期間だけずらしたタイミングでブロックごとに順次印加する。

【0068】リセット期間 T_r では、印加電圧 $V_r h$ を時間 T_r 印加して H 配向に遷移させる。このときデータ電極への印加電圧はゼロとする。選択期間 T_s では、電圧 V_s が $V_{on} = V_{T7}$ 、 $V_{off} = V_{T6}$ となるように設定する。保持期間 T_h では、電圧 V_h を時間 T_h 印加して、 H 配向を維持するとともに T_P 配向を F 配向に遷移させる。 V_{on} が印加された画素は選択期間中に H 配向が維持され、保持期間後に P 配向に遷移して高反射率となる。一方、 V_{off} が印加された画素は選択期間中に T_P 配向を経由して P 配向への遷移を開始し、保持期間中に F 配向に遷移し低反射率となる。

【0069】本実施形態では、 H 配向から T_P 配向への応答時間より直交周期を小さく、選択期間の長さを大きくする必要がある。この応答時間は液晶の弾性定数、粘度、印加電圧によって異なるが、通常サブ ms である。本実施形態は DDS 法において 1 本の走査電極を同時選択するようにしたものとみなすことができる。従来の DDS 法の走査速度は $0.3 \sim 数 ms / line$ であり、従来の駆動方法の中では高速であるが、本実施形態によればこれをさらに 10 倍に高速化することができる。

【0070】<実施形態 8> 実施形態 1 ~ 7 において、画素データ値 U_i として、図 13 (a)、(b) に示すような、任意の位相ずれ ϕ を有する波形を印加することで階調表示が可能となる。ただし、直交関数要素 +1、-1 に対応して図 12 (a) の直流矩形波を選んだ場合は図 13 (a) の波形を、図 12 (b) の対称矩形波を選んだ場合は図 13 (b) の波形を用いるものとする。画素データ値 U_i が $+V_d$ および $-V_d$ の場合は、それぞれ $\phi = 1$ および 0 に相当する。 ϕ として $0 \sim 1$ の間の任意の値を選ぶことによって V_{on} と V_{off} の中間の実効電圧値を画素に加えることができる。

【0071】

【発明の効果】本発明によれば、高速に書き換え可能なコレステリック液晶表示装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明に係るコレステリック液晶表示装置の実施形態における各走査電極に与える電圧のタイミング図である。

【図 2】本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。

【図 3】本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。

18

グ図である。

【図 4】本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。

【図 5】本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。

【図 6】本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。

【図 7】本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。

【図 8】本発明に係るコレステリック液晶表示装置の他の実施形態における各走査電極に与える電圧のタイミング図である。

【図 9】従来の FCR 法における各走査電極に与える電圧のタイミング図である。

【図 10】従来の DDS 法における各走査電極に与える電圧のタイミング図である。

【図 11】(a) ~ (d) はそれぞれ本発明で用いられる直交関数の例を示す図である。

【図 12】(a)、(b) はそれぞれ本発明における直交関数要素と電圧波形との関係を説明する図である。

【図 13】(a)、(b) はそれぞれ本発明における階調表示時の電圧波形を示す図である。

【図 14】1 ブロックの選択期間中の走査電極およびデータ電極に印加する印加波形の一例を示す図である。

【図 15】本発明に係るコレステリック液晶表示装置の画像書き込み装置の一例を示すブロック図である。

【図 16】本発明に係るコレステリック液晶表示装置の走査回路の一例を示すブロック図である。

【図 17】(a) ~ (c) はそれぞれコレステリック液晶の配向状態を説明するための断面図である。

【図 18】コレステリック液晶表示素子の一例を示す断面構造図である。

【図 19】単純マトリクスパネルの一例を示す平面構成図である。

【図 20】電圧 - 反射率特性の測定用の印加波形と測定期間を説明するための図である。

【図 21】コレステリック液晶の電圧 - 反射率特性を示す図である。

【図 22】初期配向が F 配向時における電圧 - 反射率特性の電圧印加時間による変化を説明するための図である。

【図 23】初期配向が P 配向時における電圧 - 反射率特性の電圧印加時間による変化を説明するための図である。

【図 24】DDS 法における駆動電圧の時系列パターンを示す図である。

(11)

19

【図25】初期配向がH配向およびP配向時における電圧-反射率特性を示す図である。

【図26】 DDS法における選択電圧-反射率特性を示す図である。

【符号の説明】

- 1 フレームメモリ
- 2 排他論理和回路
- 3 計数回路
- 4 リセット波形発生回路
- 5 直交関数発生回路
- 6 データ電圧合成回路

20

- 7 データ電極ドライバ
- 8 走査電圧合成回路
- 9 走査電極ドライバ
- 9 a、9 b、9 c、9 d STN用コマンドライバIC
- 10 コレスティック液晶表示素子
- 11、12 基板
- 21、22 透明電極
- 23 走査電極群
- 24 データ電極群
- 30 コレスティック液晶
- 41 光吸収層

[図1]

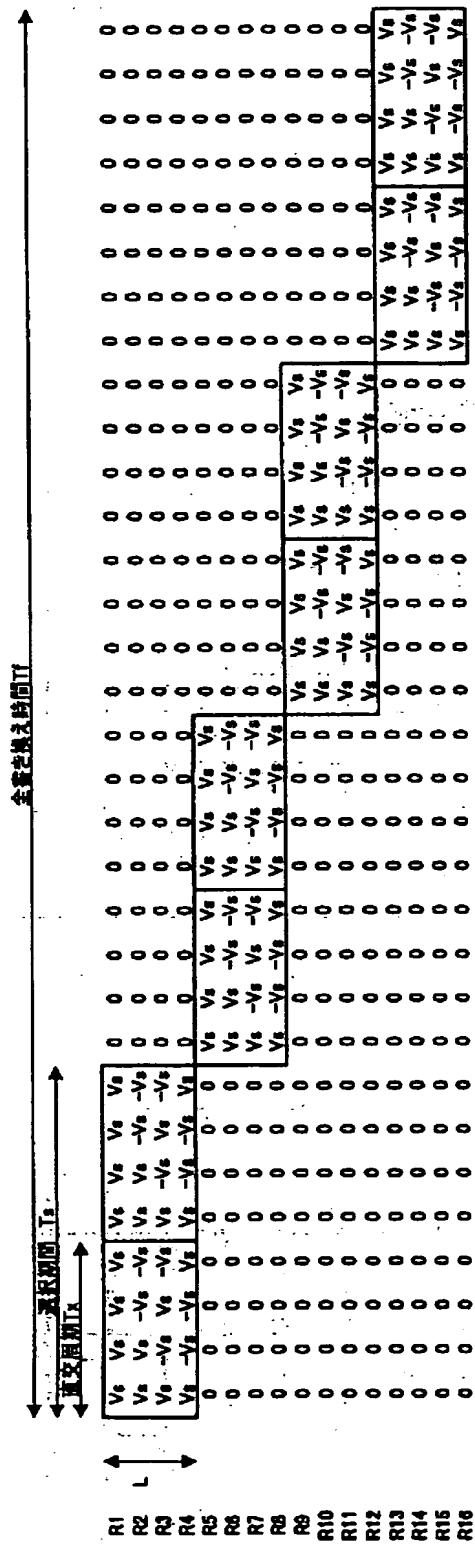
全書き換え時間 T_f																
選択期間 T_s																
R1	Vs				Vs				Vs				Vs			
	V_s	$-V_s$	V_s	$-V_s$	V_s	$-V_s$	V_s	$-V_s$	V_s	$-V_s$	V_s	$-V_s$	V_s	$-V_s$	V_s	$-V_s$
R2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R5	0	0	0	0	V_s	V_s	V_s	V_s	0	0	0	0	0	0	0	0
R6	0	0	0	0	V_s	V_s	$-V_s$	$-V_s$	0	0	0	0	0	0	0	0
R7	0	0	0	0	V_s	$-V_s$	V_s	$-V_s$	0	0	0	0	0	0	0	0
R8	0	0	0	0	V_s	$-V_s$	$-V_s$	V_s	0	0	0	0	0	0	0	0
R9	0	0	0	0	0	0	0	0	V_s	V_s	V_s	V_s	0	0	0	0
R10	0	0	0	0	0	0	0	0	V_s	V_s	$-V_s$	$-V_s$	0	0	0	0
R11	0	0	0	0	0	0	0	0	V_s	$-V_s$	V_s	$-V_s$	0	0	0	0
R12	0	0	0	0	0	0	0	0	V_s	$-V_s$	$-V_s$	V_s	0	0	0	0
R13	0	0	0	0	0	0	0	0	0	0	0	0	V_s	V_s	V_s	V_s
R14	0	0	0	0	0	0	0	0	0	0	0	0	V_s	V_s	$-V_s$	$-V_s$
R15	0	0	0	0	0	0	0	0	0	0	0	0	V_s	$-V_s$	V_s	$-V_s$
R16	0	0	0	0	0	0	0	0	0	0	0	0	V_s	$-V_s$	$-V_s$	V_s

【図3】

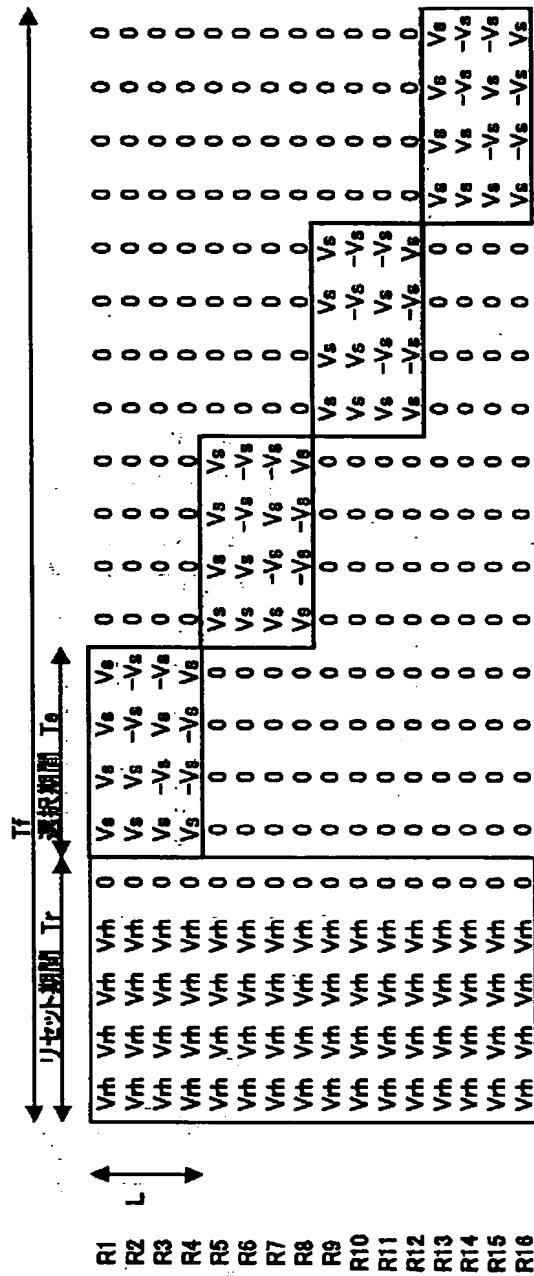
	実験期間 T_f							
	実験期間 T_f							
R1	V_s	V_s	V_s	V_s	0	0	0	0
R2	0	0	0	0	V_s	V_s	V_s	V_s
R3	0	0	0	0	0	0	0	0
R4	0	0	0	0	0	0	0	0
R5	V_s	V_s	$-V_s$	$-V_s$	0	0	0	0
R6	0	0	0	0	V_s	V_s	$-V_s$	$-V_s$
R7	0	0	0	0	0	0	0	0
R8	0	0	0	0	0	0	0	0
R9	V_s	$-V_s$	V_s	$-V_s$	0	0	0	0
R10	0	0	0	0	V_s	$-V_s$	V_s	$-V_s$
R11	0	0	0	0	0	0	V_s	$-V_s$
R12	0	0	0	0	0	0	0	V_s
R13	V_s	$-V_s$	$-V_s$	V_s	0	0	0	0
R14	0	0	0	0	V_s	$-V_s$	$-V_s$	V_s
R15	0	0	0	0	0	0	V_s	$-V_s$
R16	0	0	0	0	0	0	0	V_s

(12)

【図2】



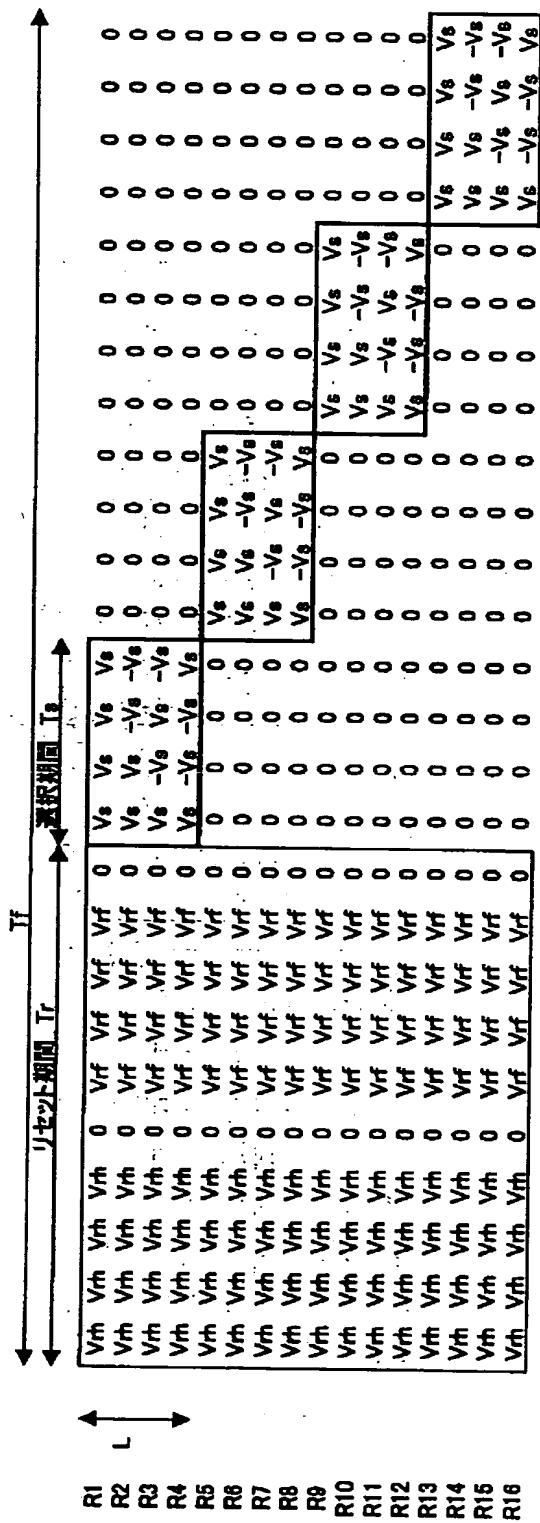
【図4】



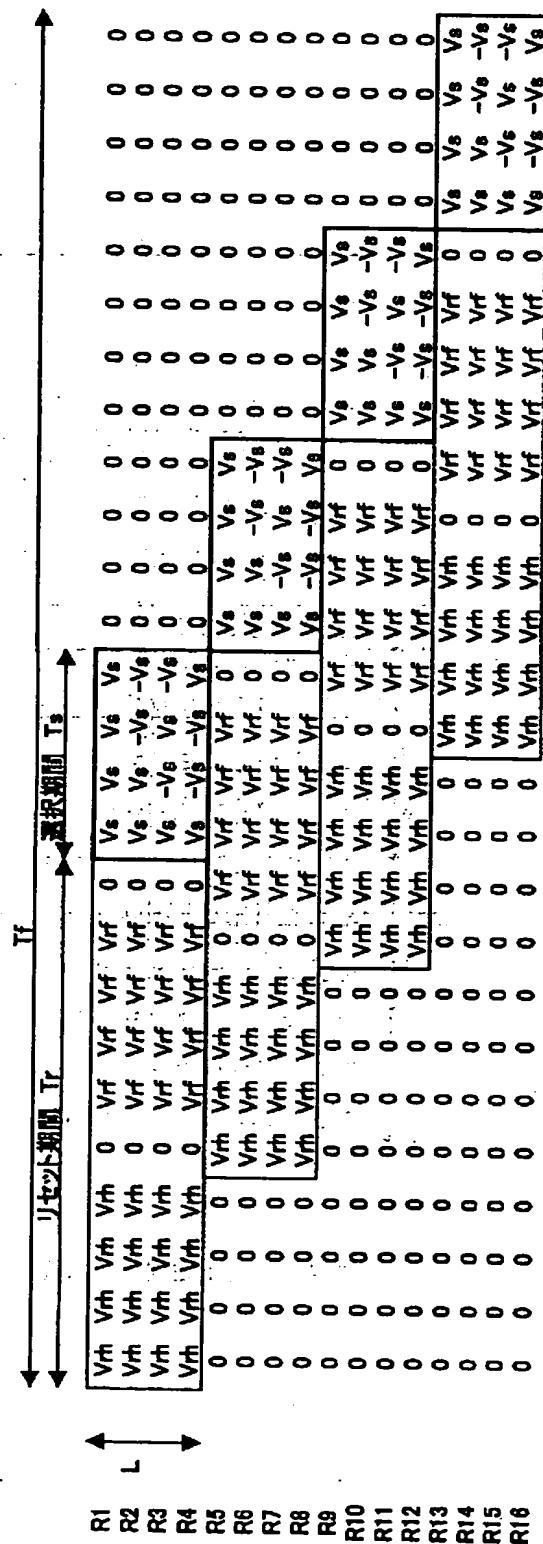
R1 R2 R3 R4 R5 R6 R7 R8 R9 R10 R11 R12 R13 R14 R15 R16

(13)

【図5】

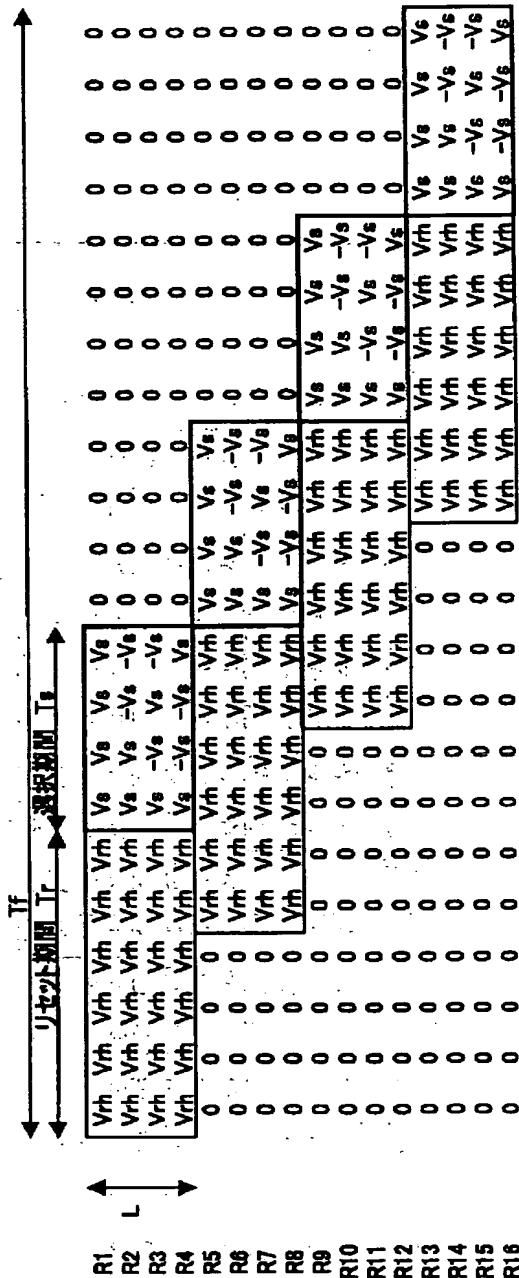


【図6】

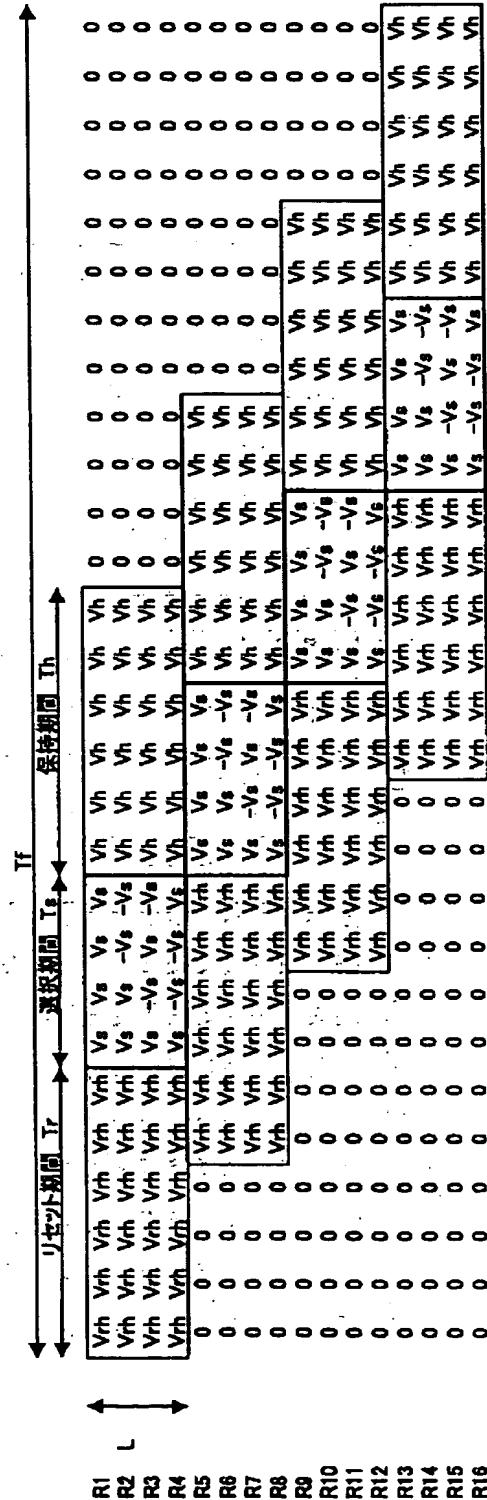


(14)

【図7】

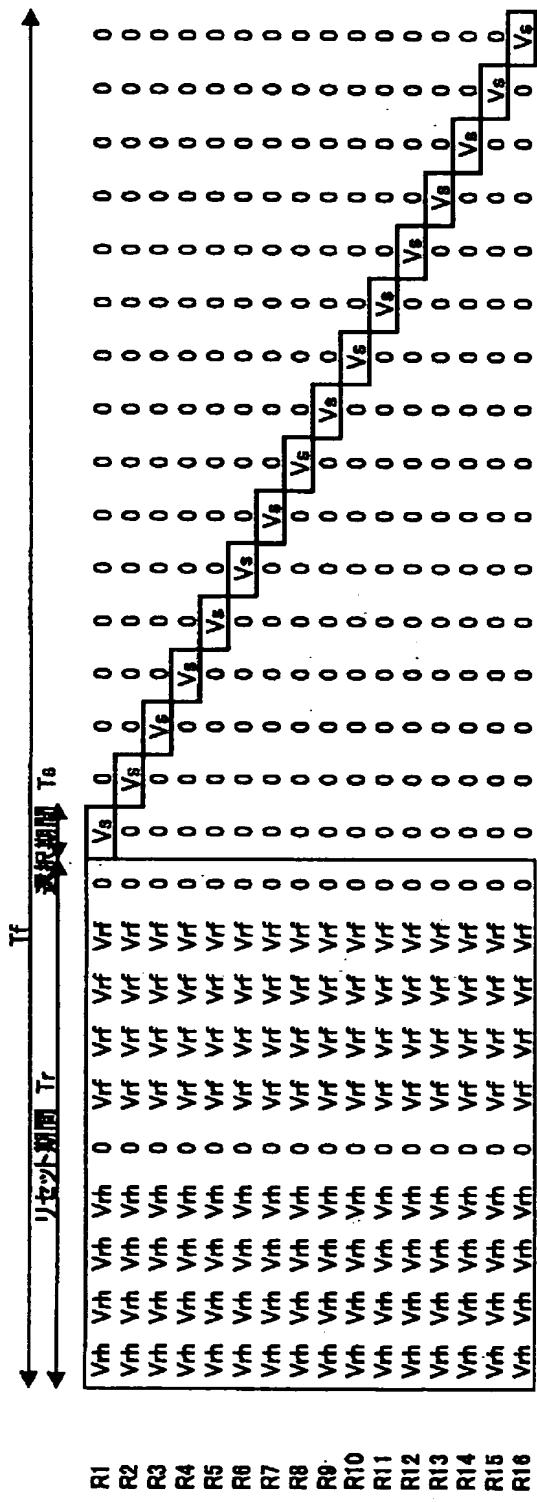


【図8】

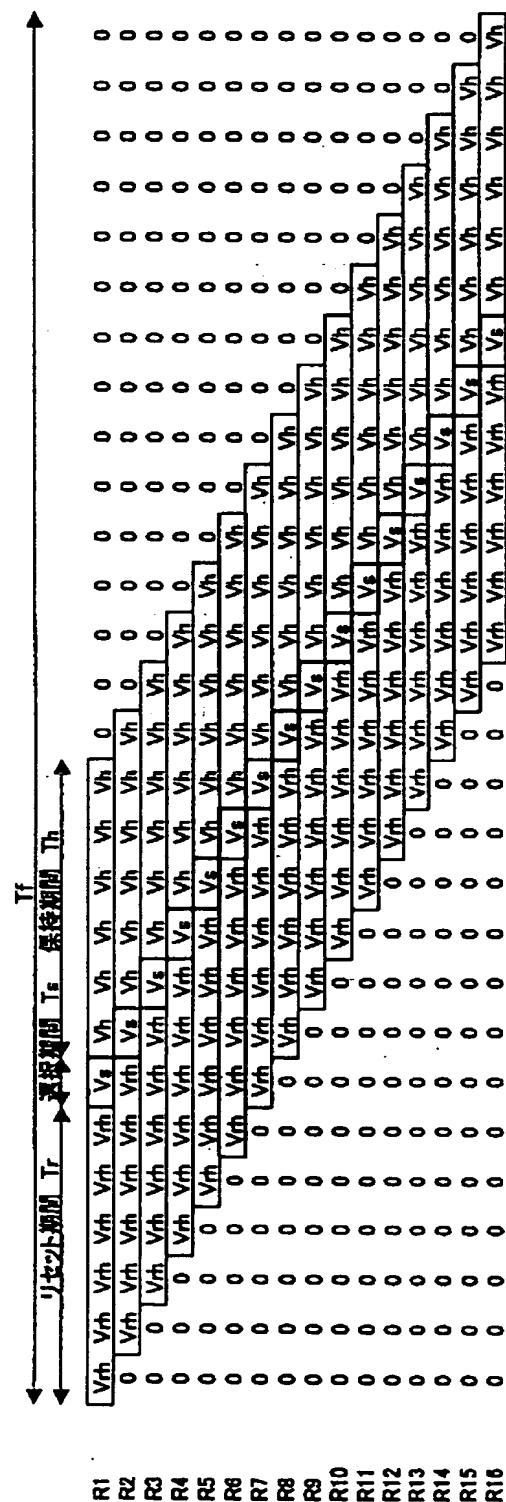


(15)

[図9]



【図10】



(16)

【図1.1】

(a) $L=2$

$$\begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix}$$

(b) $L=4$

$$\begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & 1 \\ 1 & -1 & -1 & 1 \end{bmatrix}$$

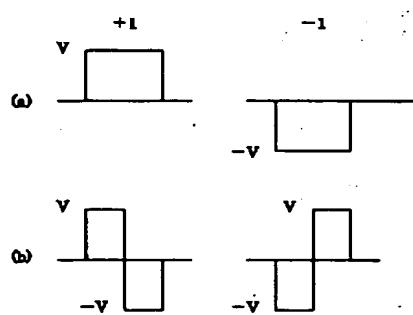
(c) $L=8$

$$\begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & 1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & 1 & 1 & -1 & -1 \end{bmatrix}$$

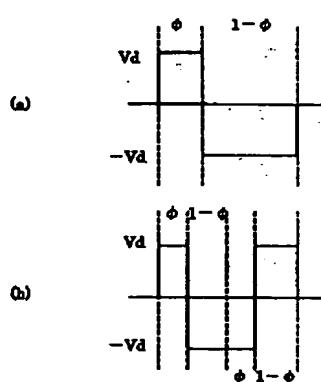
(d) $L=16$

$$\begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & 1 & -1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 \\ 1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 \\ 1 & 1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & -1 & 1 & 1 & 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & -1 & -1 & -1 & 1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & -1 & 1 & 1 & 1 & -1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & 1 & -1 & -1 & -1 & 1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & 1 & 1 & -1 & -1 & -1 & 1 & 1 & -1 & 1 & 1 & -1 & -1 \\ 1 & 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 & 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 & 1 \end{bmatrix}$$

【図1.2】

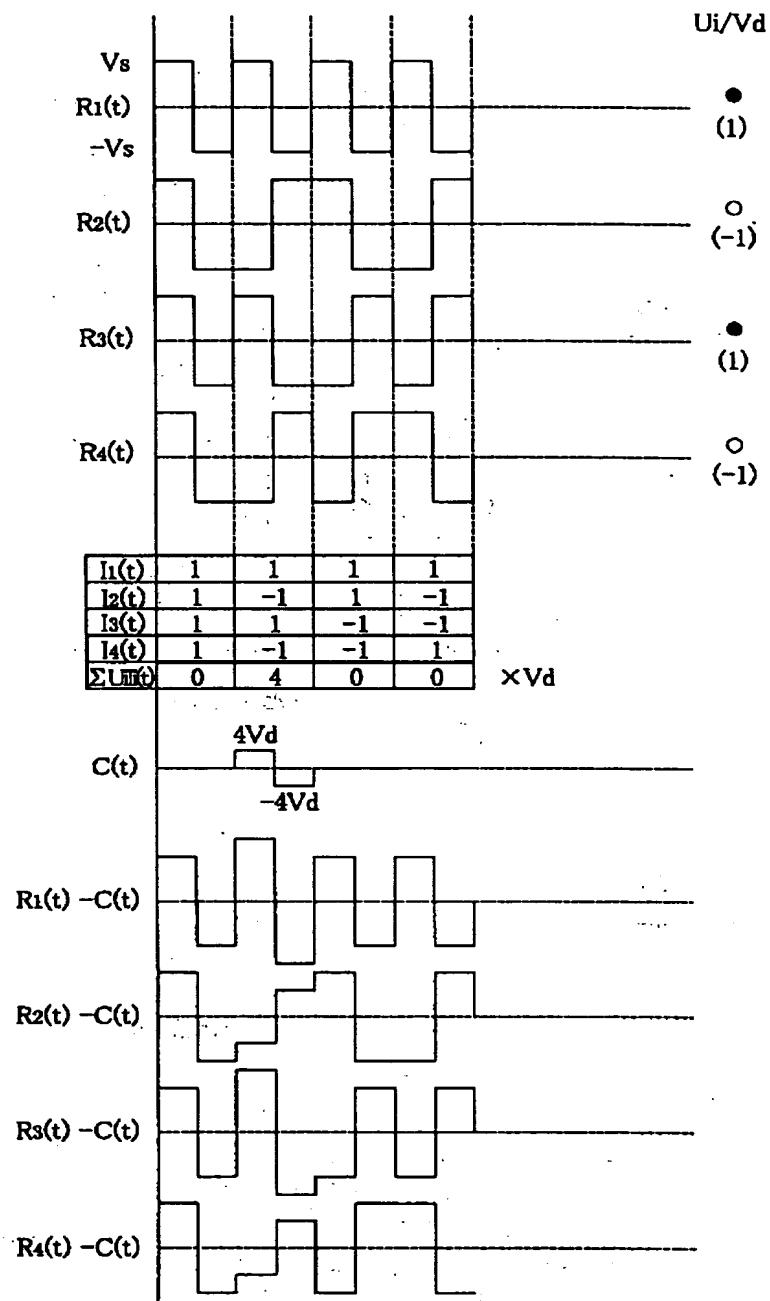


【図1.3】



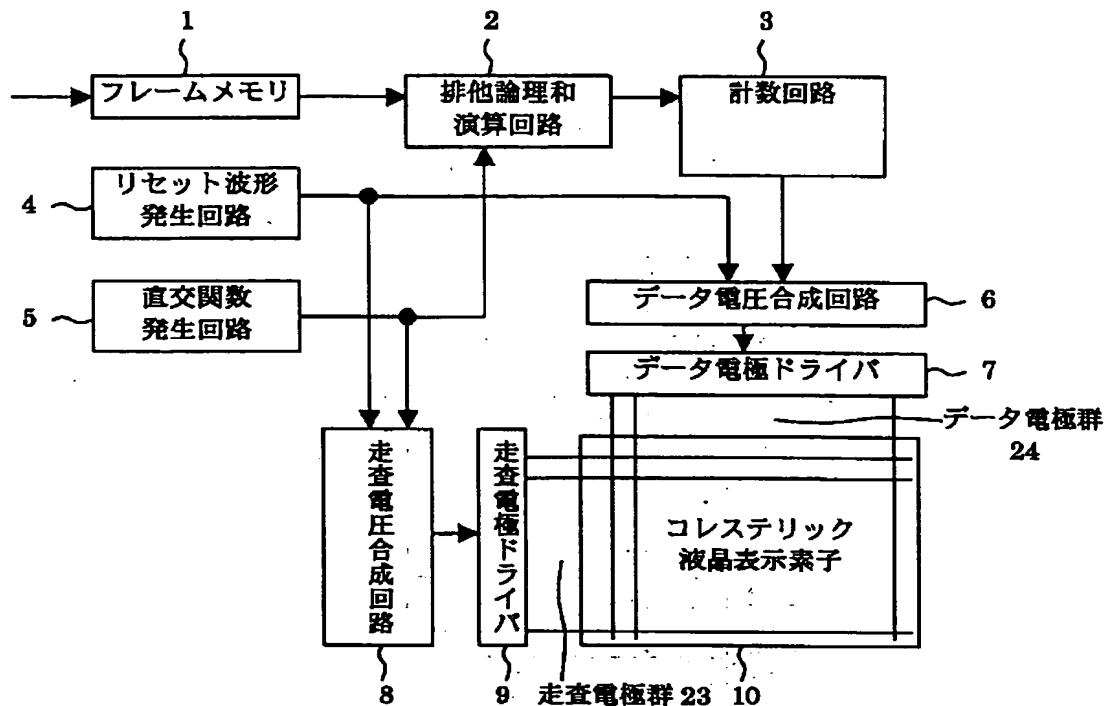
(17)

【図14】

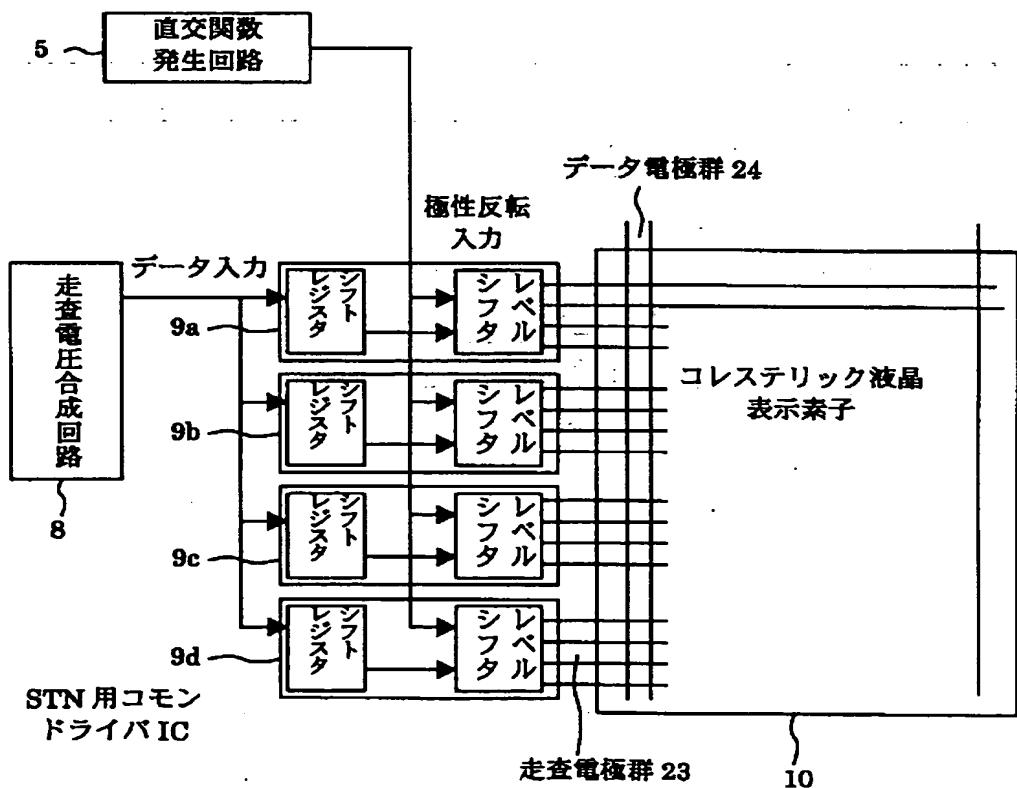


(18)

【図15】

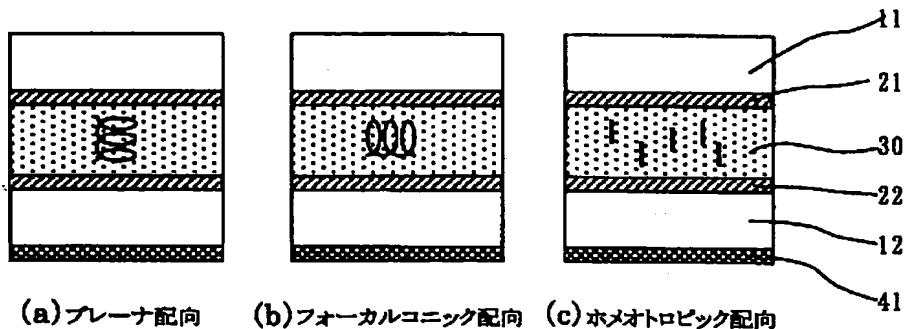


【図16】



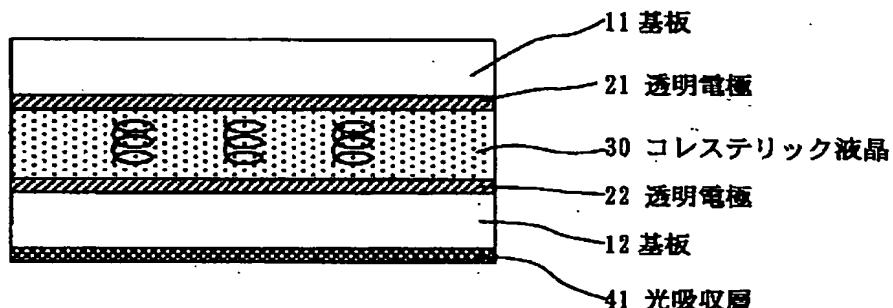
(19)

【図17】



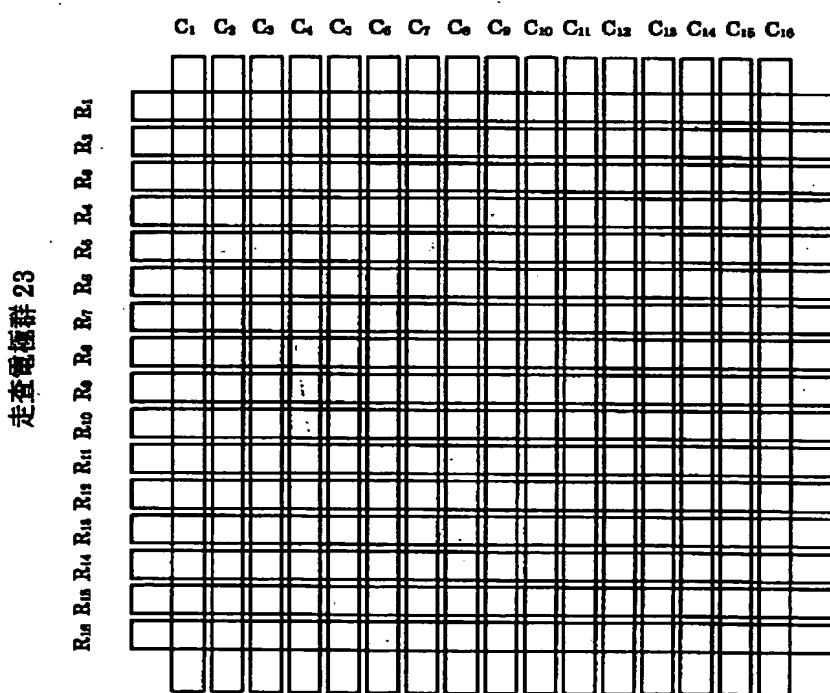
(a) プレーナ配向 (b) フォーカルコニック配向 (c) ホメオトロピック配向

【図18】



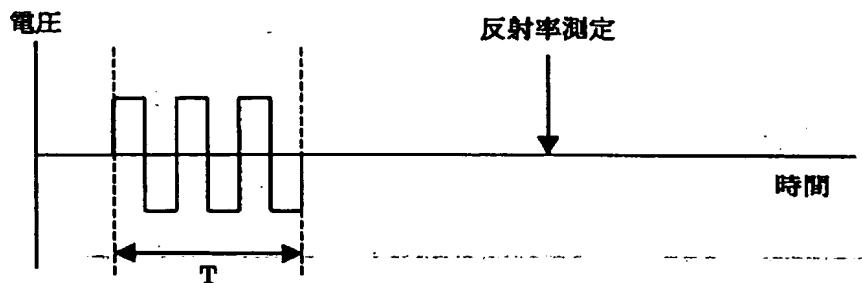
【図19】

データ電極群 24

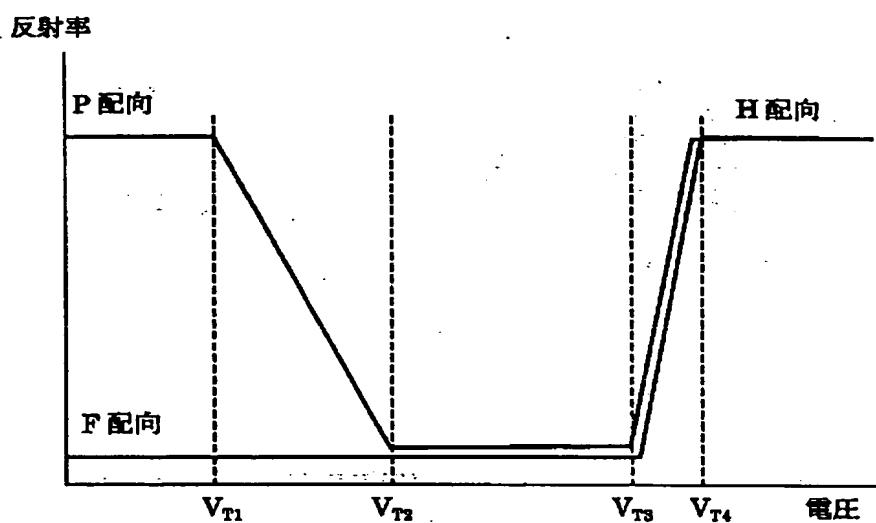


(20)

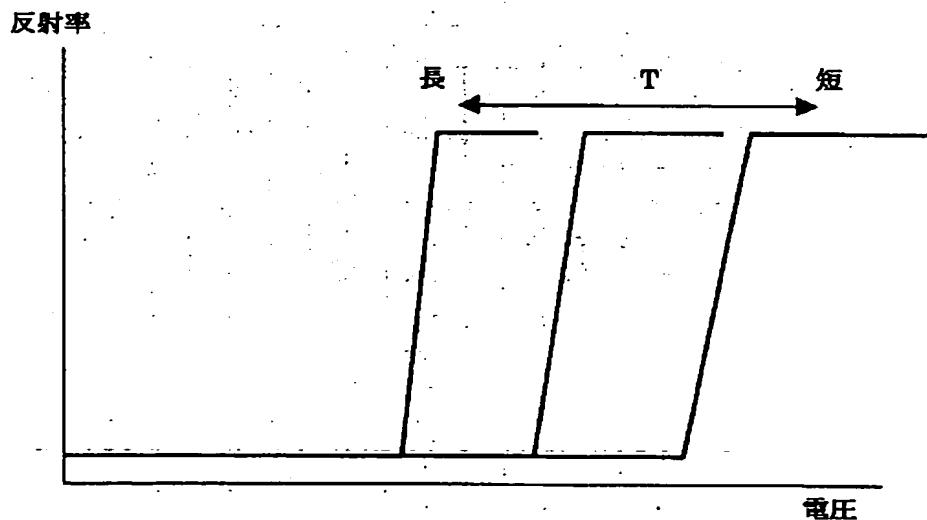
【図20】



【図21】

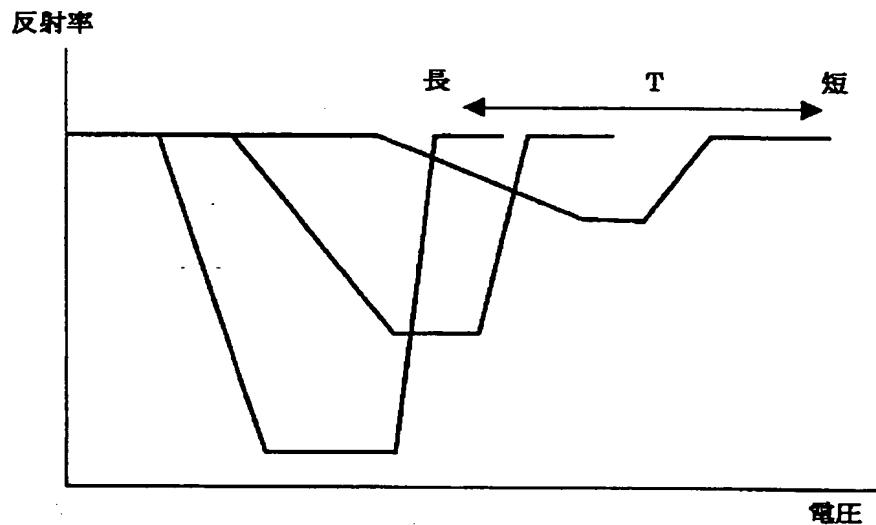


【図22】

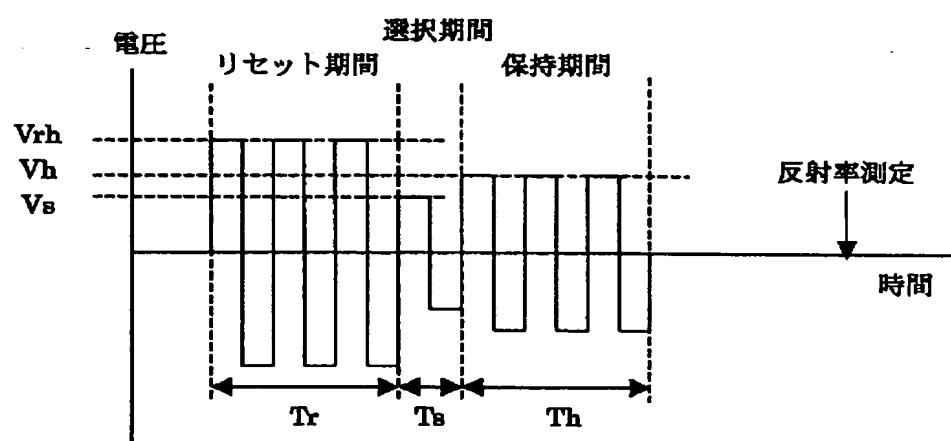


(21)

【図23】

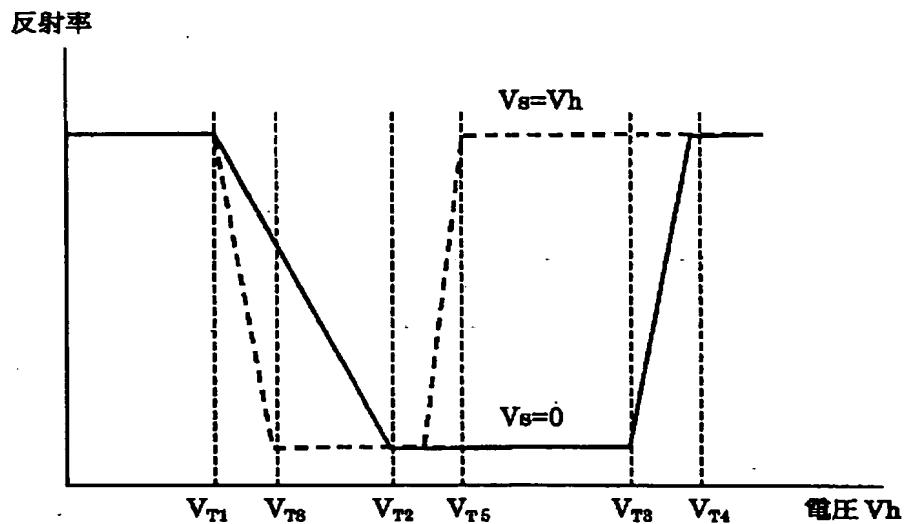


【図24】

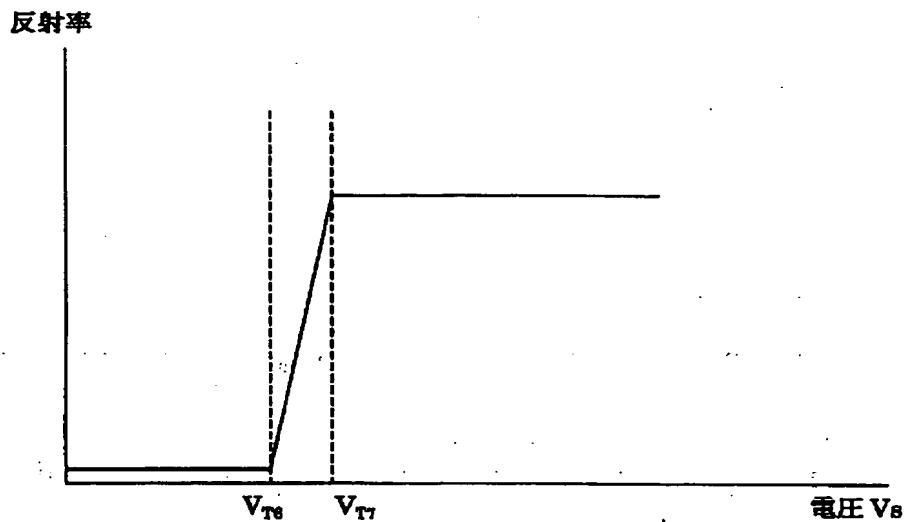


(22)

【図25】



【図26】



フロントページの続き

(51) Int. Cl. 7

G 09 G 3/36

識別記号

F I

G 02 F 1/137

マークト (参考)

5 0 5

(72) 発明者 曜地 丈人

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内F ターム (参考) 2H088 GA03 HA03 HA06 KA24 MA10
2H093 NA11 NA13 NA43 NC11 NC16
ND32 NF28
5C006 AA22 AC02 AC23 AF71 BA19
BC03 BC13 BF03 BF46 FA12
5C080 AA10 BB05 CC03 DD08 FF09
JJ02 JJ04 JJ05 JJ06 KK02

(72) 発明者 鈴木 貞一

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.